

**JP2000-133766**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which will not bring on increase in mounting area, even if it provides a plurality of semiconductor elements.

**SOLUTION:** This device 1 comprises a wiring board 2, comprising an external connection terminal allocation region 6 where a plurality of external connection terminals are provided on its one surface, while comprising a plurality of semiconductor element-mounting regions 8, 9, and 10 which are independently provided in the region, except for the external connection terminal allocation region 6 via wiring routing regions 11 and 12 possible to be bent. Furthermore, a plurality of semiconductor elements 3, 4 and 5 mounted in the semiconductor element mounting regions 8, 9, and 10, laminated on the rear surface side of the external connection terminal allocation region 6 with the wiring routing regions 11 and 12 bent are provided.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-133766  
(P2000-133766A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)IntCl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z
25/07			
25/18			

審査請求 未請求 請求項の数 2 O L (全 5 頁)

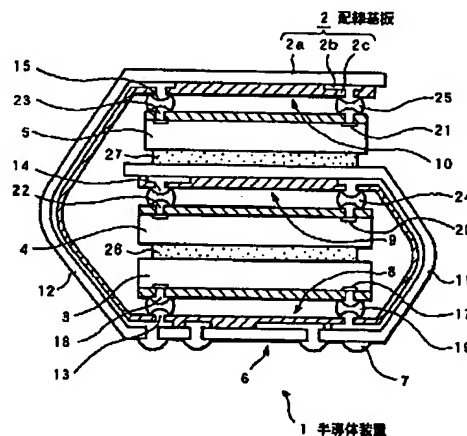
(21)出願番号	特願平10-307728	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成10年10月29日(1998.10.29)	(72)発明者	湯川 昌彦 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(72)発明者	最上 圭一 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(72)発明者	浅見 幸雄 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74)代理人	100086298 弁理士 船橋 國則

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 複数の半導体素子を備えていても、実装面積の増加を招くことのない半導体装置を提供する。

【解決手段】 複数の外部接続端子7を配置してなる外部接続端子配置領域6を一方の面に有し、その外部接続端子配置領域6を除く他の領域に、それぞれ折り曲げ可能な配線引き回し領域11、12を介して独立に設けられた複数の半導体素子搭載領域8、9、10を有する配線基板2と、それらの各半導体素子搭載領域8、9、10に搭載されるとともに、配線引き回し領域11、12を折り曲げた状態で外部接続端子配置領域6の裏面側に積層された複数の半導体素子3、4、5とを備えた半導体装置。



- 3 第1素子(半導体素子)
- 4 第2素子( )
- 5 第3素子( )
- 6 外部接続端子配置領域
- 7 外部接続端子
- 8 第1搭載領域(半導体素子搭載領域)
- 9 第2搭載領域( )
- 10 第3搭載領域( )
- 11, 12 配線引き回し領域

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 複数の外部接続端子を配置してなる外部接続端子配置領域を一方の面に有し、前記外部接続端子配置領域を除く他の領域に、それぞれ折り曲げ可能な配線引き回し領域を介して独立に設けられた複数の半導体素子搭載領域を有する配線基板と、

前記各半導体素子搭載領域に搭載されるとともに、前記配線引き回し領域を折り曲げた状態で前記外部接続端子配置領域の裏面側に積層された複数の半導体素子とを備えたことを特徴とする半導体装置。

【請求項 2】 前記複数の半導体素子搭載領域のうち、少なくともいずれか一つの半導体素子搭載領域に 2 つ以上の半導体素子を搭載してなることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に係り、特に、高密度実装性に優れた半導体装置に関する。

【0002】

【従来の技術】 一般に、半導体装置を用いた電子機器においては、小型軽薄化の観点から、構成部品の高密度実装が要求されている。この要求に応えるため、電子機器の構成部品の一つである半導体装置では、半導体素子（チップ）と略同等の大きさを有する、いわゆるチップサイズパッケージ（以下、CSP と称す）が提案され実用化されている。

【0003】 図 6 は従来における半導体装置（CSP）の構成例を示す側断面図である。図 6 において、配線基板 51 の上面には複数の突起電極 52 が形成されている。これに対応して、半導体素子 53 の回路形成面側には複数の電極パッド 54 が形成され、かつ各々の電極パッド 54 上に突起電極 55 が形成されている。半導体素子 53 はその回路形成面側を下向きにした状態（フェースダウン）で配線基板 51 に実装され、この実装状態で互いに対応する突起電極 52、55 同士が半田 56 を介して電気的かつ機械的に接続されている。また、配線基板 51 の下面には、複数の外部接続端子 57 が形成されている。

【0004】 上記構成からなる CSP によれば、例えば QFP (Quad Flat Package) や SOP (Small Out-line Package) といった表面実装型の半導体装置のようにリードピン（端子）がパッケージの側面から突出しないため、QFP や SOP の半導体装置に比べて実装面積を大幅に削減することができる。

【0005】

【発明が解決しようとする課題】 ところで近年においては、半導体装置を用いた電子機器で信号処理系のデジタル化が主流となっている。ところが、信号処理系をデジタル化すると、これに伴って回路構成が複雑化し、構成部品の点数も増加してしまう傾向にある。そこで従来に

おいては、部品点数を増加させないために、一つの半導体装置（パッケージ）内に複数の半導体素子を組み込んだマルチチップモジュール（以下、MCM と称す）も採用されているが、これまでの MCM では複数の半導体素子を平面的に並べた構造となっているため、半導体素子の個数によって構造体の平面サイズが拡大し、マザーボード等に実装する際の実装面積が増加してしまう。

【0006】 そこで本発明は、複数の半導体素子を備えていても実装面積の増加を招くことのない、高密度実装性に優れた半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明による半導体装置においては、複数の外部接続端子を配置してなる外部接続端子配置領域を一方の面に有し、前記外部接続端子配置領域を除く他の領域に、それぞれ折り曲げ可能な配線引き回し領域を介して独立に設けられた複数の半導体素子搭載領域を有する配線基板と、前記各半導体素子搭載領域に搭載されるとともに、前記配線引き回し領域を折り曲げた状態で前記外部接続端子配置領域の裏面側に積層された複数の半導体素子とを備えた構成となっている。

【0008】 上記構成の半導体装置においては、配線基板に設けられた複数の半導体素子搭載領域にそれぞれ半導体素子を搭載し、これら複数の半導体素子を配線引き回し領域の折り曲げによって外部接続端子配置領域の裏面側に積層したので、構造体の平面サイズを拡大せずに、しかも外部接続端子を構造体の側面から突出させずに、MCM 化を図ることが可能となる。

【0009】

【発明の実施の形態】 以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。図 1 は本発明に係る半導体装置の一実施形態を示す側断面図である。図示した半導体装置 1 は、主として、長尺状の配線基板 2 と、複数（図例では 3 つ）の半導体素子 3、4、5 によって構成されている。

【0010】 配線基板 2 は、例えばポリイミドテープ等の絶縁基材 2a と、この絶縁基材 2a の片面に張設されかつ所定の形状にパターンニングされた銅材等の配線基材 2b と、この配線基材 2b を被覆する絶縁保護膜 2c とからなるもので、その平面的な構造を図 2 に示す。図 2 において、(a) は配線基板 2 の一方の面を示す概略図であり、(b) は配線基板 2 の他方の面を示す概略図である。

【0011】 先ず、配線基板 2 の一方の面には、図 2 (a) に示すように、その長手方向の中央に位置して外部接続端子配置領域 6 が設けられている。この外部接続端子配置領域 6 には複数の外部接続端子 7…がエリア状に配置されている。各々の外部接続端子 7 は、外部接続端子配置領域 6 内に露出した上記配線基材 2b の電極部分に電気的かつ機械的に接続されている。

【0012】一方、配線基板2の他方の面には、図2(b)に示すように、その長手方向の中央と両端に位置して3つの半導体素子搭載領域8、9、10が設けられている。各々の半導体素子搭載領域8、9、10の大きさは、後述する半導体素子の外形寸法と同等かそれよりも若干大きく設定されている。また、各々の半導体素子搭載領域8、9、10の相互間には、それぞれ配線引き回し領域11、12が設けられ、これら2つの配線引き回し領域11、12を介して各半導体素子搭載領域8、9、10が独立に分離されている。ちなみに、基板長手方向の中央に設けられた半導体素子搭載領域8は、上記外部接続端子配置領域6の真裏に形成されている。

【0013】また、上記2つの配線引き回し領域11、12は、ポリイミドフィルム等を絶縁基材2aとした配線基板2自体の可撓性により、それぞれ折り曲げ可能に構成されている。さらに、各々の半導体素子搭載領域8、9、10には、上記絶縁保護膜2cから突出する状態で、それぞれ複数の突起電極13、14、15(図1参照)が設けられている。

【0014】これに対して、上記複数の半導体素子3、4、5は、それぞれに対応する半導体素子搭載領域8、9、10に搭載されている。すなわち、図3に示すように、半導体素子3は半導体素子搭載領域8に、半導体素子4は半導体素子搭載領域9に、半導体素子5は半導体素子搭載領域10に、それぞれ搭載されている。以降、説明の便宜上、「半導体素子3」を「第1素子3」、「半導体素子4」を「第2素子4」、「半導体素子5」を「第3素子5」を称する。また、「半導体素子搭載領域8」を「第1搭載領域8」、「半導体素子搭載領域9」を「第2搭載領域9」、「半導体素子搭載領域10」を「第3搭載領域10」と称する。

【0015】図3において、第1素子3の回路形成面側には複数の電極パッド17が形成され、かつ各々の電極パッド17上に突起電極18が形成されている。第1素子53はその回路形成面側を下向きにした状態(フェースダウン)で、配線基板2の第1搭載領域8に実装され、この実装状態で互いに対応する突起電極13、18同士が半田19を介して電氣的かつ機械的に接続されている。

【0016】これと同様に、第2素子4及び第3素子5の各回路形成面側にもそれぞれ複数の電極パッド20、21が形成され、かつ各々の電極パッド20、21上に突起電極22、23が形成されている。そして、第2素子4及び第3素子5は、それぞれの回路形成面を下向きにした状態(フェースダウン)で、配線基板2の第2搭載領域9及び第3搭載領域10に実装され、この実装状態で互いに対応する突起電極14、22及び15、23同士が各々半田24、25を介して電氣的かつ機械的に接続されている。

【0017】これにより、外部接続端子配置領域6に配

置された複数の外部接続端子7のうち、その一部は第1搭載領域8に搭載された第1素子3と電氣的に接続され、それ以外の他部は、第2搭載領域9に搭載された第2素子4または第3搭載領域10に搭載された第3素子5に電氣的に接続されている。

【0018】ちなみに、半導体素子(3、4、5)と配線基板2との接続(接合)には、上述した半田19、24、25に代えて、導電性接着剤による接合構造を採用することも可能である。また、半導体素子(3、4、5)と配線基板2との接合部分に、必要に応じてアンダーフィル材(例えば、エポキシ系樹脂)を充填することも可能である。

【0019】一方、配線基板2に設けられた2つの配線引き回し領域11、12は、図1に示すように、それぞれ上方に向けて折り曲げられ、これによって外部接続端子配置領域6の裏面側(上方)に、第1素子3、第2素子4及び第3素子5といった3つの半導体素子が積層されている。すなわち、外部接続端子配置領域6の裏面に第1搭載領域8が設けられ、この第1搭載領域8に第1素子3が搭載されている。また、第1搭載領域8に搭載された第1素子3の上には、第2搭載領域9に搭載された第2素子4が背中合わせの状態、つまり互いのチップ裏面(非回路形成面)を対向させた状態で積層されている。さらに、第2素子4が搭載された第2搭載領域9の裏面側には、第3素子5が積層されている。

【0020】このうち、第1素子3と第2素子4とは適宜位置決めされて接着剤26により固着され、さらに第2搭載領域9の裏面側では、第3素子5が適宜位置決めされて接着剤27により配線基板2に固着されている。なお、接着剤26、27としては、素子同士の接着及び素子と基板の接着を可能とするものであれば、特にいずれのものを使用してもよく、またフィルム状の接着剤やペースト状の接着剤のいずれを選択してもかまわない。

【0021】上記構成からなる半導体装置1においては、第1素子3、第2素子4及び第3素子5といった3つの半導体素子を備えているにもかかわらず、それら3つの半導体素子(3、4、5)を配線引き回し領域11、12の折り曲げにより外部接続端子配置領域6の裏面側(上方)に積層することで、一つの平面領域内に複数の外部接続端子7と3つの半導体素子(3、4、5)とを立体的に構築し、かつそれらを電氣的に接続したので、装置の高機能化と小型化を両立させた、いわゆるマルチチップCSPが実現される。

【0022】上記マルチチップCSPでは、例えば高機能化への対応として複数の半導体素子を備えたものでも、それらの個数によって構造体の平面サイズが拡大したり、外部接続端子が構造体の側面から突出することがないため、従来におけるMCMに比べると、格段に高密度実装性に優れたものとなる。また、配線引き回し領域11、12の存在により、複数の半導体素子(3、4、

5)を積層した構造でありながら、各半導体素子と外部接続端子とを電氣的に接続する配線パターンの引き回しも容易になる。

【0023】したがって、上記マルチチップCSPを用いて電子機器を構成することにより、例えば信号処理系のデジタル化に伴って回路構成が複雑化しても、実装面積の増加を招くことなく、半導体装置をMCM化することができるため、部品点数の増加を抑えて電子機器の小型軽薄化を実現することが可能となる。

【0024】なお、上記実施形態においては、配線基板2の一方の面に外部接続端子配置領域6を設け、同他方の面に第1搭載領域8、第2搭載領域9及び第3搭載領域10といった3つの半導体素子搭載領域を設けるようにしたが、本発明はこれに限らず、例えば、図示はしないが第2、第3搭載領域9、10を外部接続端子配置領域6とともに配線基板2の一方の面に設けるようにしたり、図4に示すように配線基板2の両面にそれぞれ半導体素子搭載領域28、29を設け、これらの半導体素子搭載領域28、29に半導体素子30、31を搭載した構成を採用することも可能である。

【0025】また、配線基板2の平面形状としても、図2に示すような長尺状に限らず、例えばT字形、L字形、十字形など、種々の形状のものを採用することが可能である。さらに、上記実施形態においては、半導体素子と配線基板の接続方式としてフェースダウンのフリップチップ方式を例に挙げたが、フェースアップのワイヤボンディング方式を採用することも可能であり、また一つの半導体装置内に搭載される半導体素子の数も、図1で例示した3つに限らず、2つまたは4つ以上であってもよい。

【0026】また、上記実施形態の応用例として、半導体装置1に組み込まれた3つの半導体素子(3、4、5)のうち、例えば最上部に積層された半導体素子5を、図5に示すように2つの半導体素子5a、5bに分離し、これら2つの半導体素子5a、5bを一つの半導体素子搭載領域10に並べて搭載することも可能である。このように一つの半導体素子搭載領域に2つの半導体素子を搭載することにより、半導体素子の積層数を増加させることなく、素子の回路機能を独立に分割することが可能となる。

【0027】ちなみに、図5においては、最上部に積層

された半導体素子5を2つに分離して一つの半導体素子搭載領域10に搭載した例を示したが、これと同様に、最下部及び中間部に積層された半導体素子3、4をそれぞれ2つに分離して一つの半導体素子搭載領域8、9に搭載することも可能であり、さらに一つの半導体素子搭載領域に3つ以上の半導体素子を搭載することも可能である。

【0028】

【発明の効果】以上説明したように本発明の半導体装置によれば、配線基板に設けられた複数の半導体素子搭載領域にそれぞれ半導体素子を搭載し、これら複数の半導体素子を配線引き回し領域の折り曲げによって外部接続端子配置領域の裏面側に積層した構成を採用したことにより、例えば高機能化への対応として複数の半導体素子を組み込む場合でも、構造体の平面サイズを拡大したり、外部接続端子を構造体の側面から突出させることなく、MCM化を図ることが可能となる。これにより、回路構成の複雑化等に伴う高機能化の要求にも、実装面積の増加を招くことなく好適に対応できるため、電子機器の小型軽薄化を容易に実現することが可能となる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一実施形態を示す側断面図である。

【図2】実施形態における配線基板の構造説明図である。

【図3】配線基板に対する半導体素子の実装構造を説明する図である。

【図4】配線基板における半導体素子搭載領域の他の形成例を示す図である。

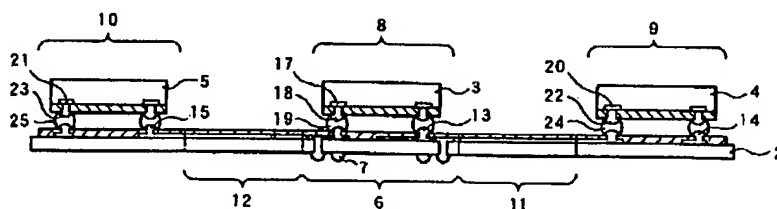
【図5】実施形態の応用例を説明する図である。

【図6】従来における半導体装置の構成例を示す側断面図である。

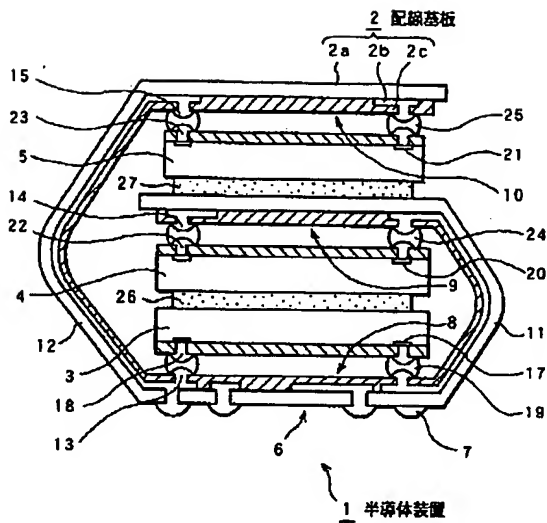
【符号の説明】

1…半導体装置、2…配線基板、3…第1素子(半導体素子)、4…第2素子(半導体素子)、5…第3素子(半導体素子)、6…外部接続端子配置領域、7…外部接続端子、8…第1搭載領域(半導体素子搭載領域)、9…第2搭載領域(半導体素子搭載領域)、10…第3搭載領域(半導体素子搭載領域)、11、12…配線引き回し領域

【図3】

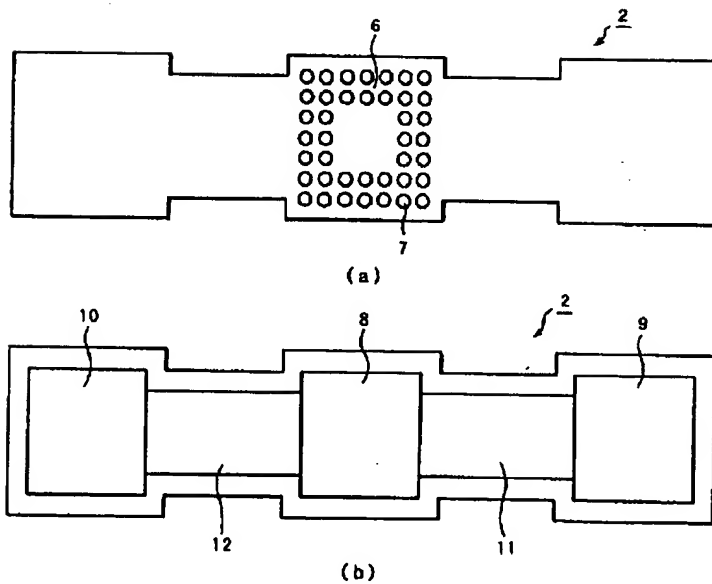


【図1】

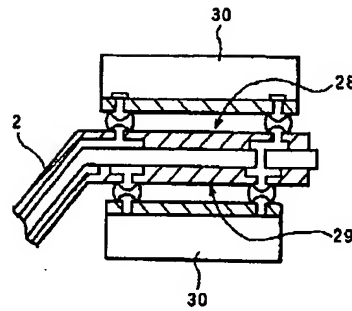


- 3 第1素子 (半導体素子)
- 4 第2素子 ( " )
- 5 第3素子 ( " )
- 6 外部接続端子配置領域
- 7 外部接続端子
- 8 第1搭載領域 (半導体素子搭載領域)
- 9 第2搭載領域 ( " )
- 10 第3搭載領域 ( " )
- 11, 12 配線引き回し領域

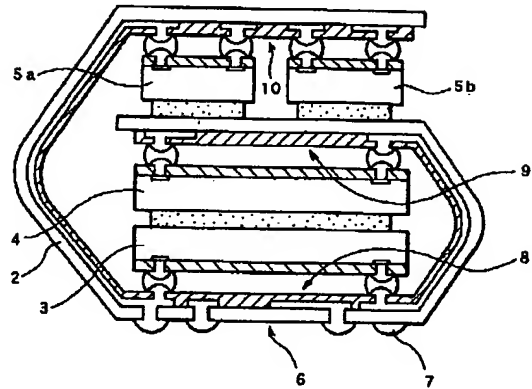
【図2】



【図4】



【図5】



【図6】

